

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 259/024

In re patent application of

Ji-Young KIM, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: SELF-ALIGNED INNER GATE RECESS CHANNEL TRANSISTOR AND METHOD
OF FORMING THE SAME

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA. 22313-1450

Sir:


The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2003-0050459, filed July 23, 2003.

Respectfully submitted,

December 10, 2003
Date



Eugene M. Lee
Reg. No. 32,039
Richard A. Sterba
Reg. No. 43,162

LEE & STERBA, P.C.
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0050459
Application Number

출원 년 월 일 : 2003년 07월 23일
Date of Application JUL 23, 2003

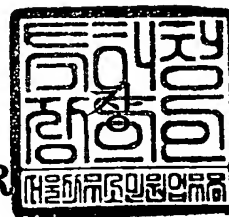
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 26 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.07.23
【발명의 명칭】	리세스 게이트 트랜지스터 구조 및 그에 따른 형성 방법
【발명의 영문명칭】	Recess gate transistor structure and method therefore
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김능균
【대리인코드】	9-1998-000109-0
【포괄위임등록번호】	2003-002377-2
【발명자】	
【성명의 국문표기】	김지영
【성명의 영문표기】	KIM, Ji Young
【주민등록번호】	700405-1636710
【우편번호】	449-915
【주소】	경기도 용인시 구성면 언남리 신일아파트 103동 1001호
【국적】	KR
【발명자】	
【성명의 국문표기】	조창현
【성명의 영문표기】	CH0, Chang Hyun
【주민등록번호】	651223-1551121
【우편번호】	449-904
【주소】	경기도 용인시 기흥읍 보라리 민속마을 쌍용아파트 120동 1303호
【국적】	KR

【발명자】

【성명의 국문표기】 신수호
 【성명의 영문표기】 SHIN, Soo Ho
 【주민등록번호】 691202-1226610
 【우편번호】 449-904
 【주소】 경기도 용인시 기흥읍 보라리 삼성아파트 101동 1003호

【국적】 KR

【발명자】

【성명의 국문표기】 정태영
 【성명의 영문표기】 CHUNG, Tae Young
 【주민등록번호】 590324-1046924
 【우편번호】 449-913
 【주소】 경기도 용인시 구성면 보정리 1161 진산마을 삼성5차 래미안아파트 5 12동 801호

【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김능균 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	50 면	50,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	66 항	2,221,000 원
【합계】		2,300,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명에서는 게이트 및 비트라인 부하 캐패시턴스들이 저감되도록 하는 한편, 트랜지스터의 특성 저하가 방지되고, 스페이서의 두께가 디자인 룰에 따라 다양하게 설계될 수 있도록 하기 위한 리세스 게이트 트랜지스터 구조 및 방법이 개시된다. 그러한 본 발명의 구조는 리세스 게이트를 형성하는 게이트 도전막이 상대적으로 두껍게 형성된 이너 스페이서의 수직 하부까지 확장적으로 존재하도록 함을 특징으로 한다. 보다 구체적으로, 기판에 정의된 활성영역에 형성된 불순물 도입층을 갖는 트랜지스터의 구조는: 상기 활성영역의 일부에 형성된 제1 전극영역과, 상기 제1 전극영역의 하부에서 상기 불순물 도입층을 지나서 일정 깊이까지 연장되며 상기 제1 전극영역의 수평 사이즈보다 더 큰 사이즈를 갖는 제2 전극영역을 포함하여 이루어진 게이트; 상기 제1 전극영역의 측벽에 상기 제1 및 제2 전극영역의 수평 사이즈의 차이가 도입되도록 형성된 절연막 스페이서; 상기 제2 전극영역 내에 일정 두께로 형성된 게이트 절연막; 및 상기 게이트를 사이에 두고 상기 활성영역에 서로 대향적으로 형성된 소오스/드레인 영역을 가짐에 의해, 상기한 캐패시턴스들의 저감 및 특성 저하의 방지, 그리고 스페이서의 두께의 조절 용이성의 효과가 얻어진다.

【대표도】

도 24

【색인어】

모오스 트랜지스터, 반도체 기판, 게이트, 스페이서, 부하 캐패시턴스

【명세서】**【발명의 명칭】**

리세스 게이트 트랜지스터 구조 및 그에 따른 형성방법{Recess gate transistor structure and method therefore}

【도면의 간단한 설명】

도 1은 통상적인 리세스 게이트 트랜지스터의 레이아웃을 보인 도면이다.

도 2 내지 도 6은 종래기술에 따른 리세스 게이트 트랜지스터를 형성하는 방법을 차례로 보여주는 공정 단면도들이다.

도 7 내지 도 13은 또 다른 종래기술에 따른 리세스 게이트 트랜지스터를 형성하는 방법을 차례로 보여주는 공정단면도들이다.

도 14는 본 발명에 따른 리세스 게이트 트랜지스터의 레이아웃을 보인 도면이다.

도 15 내지 도 24는 본 발명의 제1 실시예에 따른 리세스 게이트 트랜지스터를 형성하는 방법을 차례로 보여주는 공정단면도들이다.

도 25 내지 도 34는 본 발명의 제2 실시예에 따른 리세스 게이트 트랜지스터를 형성하는 방법을 차례로 보여주는 공정단면도들이다.

<도면의 주요부분들에 대한 참조 부호들의 설명>

400 : 반도체 기판 402 : 소자분리막

404 : 웰 영역 406 : 문턱전압 조절영역
408 : 불순물 도입층 416 : 제1 리세스
417 : 제2 리세스 418 : 절연막 스페이서
420 : 게이트 절연막 422 : 게이트 도전막
424 : 캡핑막 426 : 저농도 소오스/드레인 영역
428 : 게이트 스페이서 430 : 고농도 소오스/드레인 영역

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 모스 트랜지스터에 관한 것으로, 보다 상세하게는 고집적 반도체 메모리에 적합한 리세스 게이트 타입의 모스 트랜지스터 구조 및 그에 따른 형성방법에 관한 것이다.

<16> 최근에, 반도체 유우저들이 저 소비전력과 하이 퍼포먼스를 더욱 더 요구함에 따라, 반도체 소자 메이커들은 반도체 소자의 고집적 및 고속화에 대한 연구 개발에 진일층 노력하고 있는 실정이다. 그에 따라 제한된 반도체 칩내에 보다 많은 반도체 소자를 집적하기 위하여 디자인 룰이 계속적으로 축소됨에 의해, 게이트 사이의 간격이 점차 줄어들어 단채널 효과(short channel effect)가 발생되고, 누설전류가 발생하는 등의 여러 문제들이 노출되고 있다.

- <17> 따라서, 그러한 문제들을 해결하기 위하여, 기판 평면에 형성된 게이트 전극을 갖는 통상의 모스 트랜지스터와 달리, 기판에 형성된 리세스의 측벽과 바닥면에 게이트 절연막을 형성한 후 리세스내에 폴리실리콘 등의 도전막을 채운 형태의 게이트 구조를 갖는 리세스 게이트 트랜지스터가 본 분야에서 공지되어 있다.
- <18> 이하에서는 종래의 기술에 따른 리세스 게이트 트랜지스터의 형성방법이 첨부된 도면들을 참조하여 설명된다.
- <19> 도 1은 통상적인 리세스 게이트 트랜지스터의 레이아웃을 보인 도면이고, 도 2 내지 도 6은 종래기술에 따라 리세스 게이트 트랜지스터를 형성하는 방법을 차례로 보여주는 공정단면도들이며, 도 7 내지 도 13은 또 다른 종래기술에 따라 리세스 게이트 트랜지스터를 형성하는 방법을 차례로 보여주는 공정단면도들이다.
- <20> 트랜지스터의 평면 배치를 보인 도 1을 참조하면, 2개의 트랜지스터를 함께 제조하기 위해, 소자분리 영역(120)으로 둘러싸인 활성영역(110)의 길이방향과는 수직으로, 서로 평행하게 패터닝된 2개의 게이트 영역(100)이 보여진다.
- <21> 도 2 내지 도 6은 종래의 기술에 따라 리세스 게이트 트랜지스터를 형성하는 방법을 차례로 보여주는 공정 단면도들로서, 이를 참조하여 구체적으로 살펴보면 다음과 같다. 덧붙여, 도 2 내지 도 6은 도 1의 레이아웃을 절단선 I-I'을 따라서 도시한 단면을 나타낸다.

<22> 도 2를 참조하면, p형 반도체 기판(200)의 소정영역에 활성영역 및 비활성 영역을 정의하는 소자분리막(202)이 형성되고, 상기 반도체 기판에 p형 불순물을 이온주입함으로써 웰 영역(204)이 형성된다. 이어서, 상기 소자분리막(202)에 의해서 정의된 활성영역에 p형 불순물을 이온주입하여 문턱전압 조절영역(206)이 형성된 후, 상기 활성영역에 n형 불순물을 이온주입함으로써 불순물 도입층(208)이 형성된다.

<23> 도 3을 참조하면, 상기 도 2의 결과물에 산화막(212) 및 폴리실리콘막(도면 미도시)이 형성된 후, 사진 및 식각공정을 진행하여 상기 활성영역의 일부에 상기 활성영역의 상부 표면에서부터 상기 불순물 도입층(208)의 프로파일의 최하단 까지 깊이를 갖는 리세스(210)가 형성된다.

<24> 도 4를 참조하면, 상기 리세스(210) 내에 게이트 산화막(213)이 형성된다.

<25> 도 5를 참조하면, 상기 게이트 산화막(213)이 형성된 리세스(210)의 내부에 폴리실리콘 등의 도전물질이 채워져 게이트 전극(214)이 형성된다. 이어서, 상기 게이트 전극(214) 상에 캡핑막(216)이 형성된 후, 사진공정 및 식각공정을 진행함에 의해 게이트 스택(217)이 형성된다.

<26> 도 6을 참조하면, 상기 게이트 스택(217)을 이온주입 마스크로 이용하여 상기 불순물 도입층(208)에 n형 불순물 이온을 상대적으로 낮은 에너지로 주입함으로써 저농도 n-형 소오스/드레인 영역(219)이 형성된 후, 상기 게이트 스택(217)의 측벽에 게이트 스페이서(218)가 형성되도록 한다. 상기 게이트 스페이서(218)를 이온주입 마스크로 사용하여 상기 저농도 n-형 소오스/드레인 영역(219)에 불순물 이온을 상대적으로 높은 에너지로 주입하여 상기 저농도 n-형 소오스/드레

인 영역의 일부에 상기 저농도 보다 높은 불순물 농도를 갖는 고농도 n+형 소오스/드레인 영역(220)이 형성됨으로써 종래의 기술에 의한 리세스 게이트 트랜지스터가 얻어진다.

<27> 종래의 기술에 의하면, 소오스/드레인과 게이트 사이에 얇은 산화막만이 개재되어 있어, 게이트 부하 캐패시턴스 및 비트라인 부하 캐패시턴스가 플레너 게이트 트랜지스터(planer gate transistor)에 비하여 현저하게 커지는 문제가 발생된다. 이와 같은 현상은 소오스/드레인과 게이트 사이에 개재된 산화막의 두께가 얇을수록 게이트 부하 캐패시턴스가 증가되고, GIDL(Gate Induced Drain Leakage)이 발생되는데 그 원인이 있다. 이러한 문제를 개선하기 위하여, 소오스/드레인과 게이트 사이에 비교적 두꺼운 산화막을 개재하고, 게이트를 이중 리세스 구조로 형성하는 방안이 모색되고 있다.

<28> 도 7 내지 도 13은 또 다른 종래의 기술에 따라 이중 리세스 구조를 갖는 리세스 게이트 트랜지스터를 형성하는 방법을 차례로 보여주는 공정 단면도들로서, 이를 참조하여 구체적으로 살펴보면 다음과 같다. 덧붙여, 도 7 내지 도 11, 및 도 13은 도 1의 레이아웃을 절단선 I-I' 을 따라서 도시한 단면을 나타내며, 도 12는 도 1의 레이아웃을 절단선 II-II' 을 따라서 도시한 단면을 나타낸다.

<29> 도 7 내지 도 13은 또 다른 종래의 기술에 따라 이중 리세스 구조를 갖는 리세스 게이트 트랜지스터 형성방법이 순서대로 제시되고 있는 공정순서도로서, 이를 참조하여 구체적으로 살펴보면 다음과 같다.

<30> 도 7을 참조하면, p형 반도체 기판(300)의 소정영역에 활성영역 및 비활성 영역을 정의하는 소자분리막(302)이 형성되고, 상기 반도체 기판에 p형 불순물을 이온주입함으로써 웰 영역(304)이 형성된다. 이어서, 상기 소자분리막(302)에 의해서 정의된 활성영역에 p형 불순물을 이온주입하여 문턱전압 조절영역(306)이 형성된 후, 상기 활성영역에 n형 불순물을 이온주입함으로써 불순물 도입층(308)이 형성된다.

<31> 도 8을 참조하면, 상기 도 7의 결과물에 산화막(312) 및 폴리실리콘막(도면 미도시)이 형성된 후, 사진 및 식각공정을 진행하여 상기 활성영역의 일부에 상기 활성영역의 상부 표면에서부터 상기 불순물 도입층(308)의 프로파일의 최하단 보다 수십 nm 정도 얕은 깊이를 갖는 제1 리세스(310)가 형성된다.

<32> 도 9를 참조하면, 상기 제1 리세스(310) 내에 스페이서(313)를 형성한 후, 사진공정 및 식각공정을 진행하여 상기 제1 리세스(310)의 바닥면에 존재하는 상기 스페이서만을 선택적으로 제거함에 의해 상기 제1 리세스(310)의 바닥면을 노출시킨다.

<33> 도 10을 참조하면, 상기 제1 리세스(310)의 측벽에 형성된 스페이서(313)를 식각마스크로 이용하여 상기 노출된 제1 리세스의 바닥면을 상기 불순물 도입층(308)의 프로파일의 최하단의 깊이 또는 상기 최하단의 깊이 보다 수십 nm 깊은 깊이까지 식각함에 의해 제2 리세스(312)가 형성된다.

<34> 도 11을 참조하면, 상기 제2 리세스(312) 내에 게이트 산화막(314)을 형성한 후, 상기 제1 및 제2 리세스(310, 312)의 내부와 기판의 표면에 게이트 도전막(315)이 형성된다. 이어서, 상기 게이트 도전막(315) 상에 캡핑막(316)이

형성된 후, 사진공정 및 식각공정으로 패터닝하여 게이트 스택(317)이 형성되도록 한다.

<35> 도 12는 도 1의 레이아웃을 절단선 II-II' 을 따라서 도시한 단면을 나타낸 도면으로서, 상기 제1 및 제2 리세스(310, 312)의 이중 구조로 형성되고, 상기 제1 리세스(310)의 측벽에 비교적 두꺼운 절연막 스페이서(313)가 형성되어 있지만, 상기 절연막 스페이서(313)의 수직 하부(ℓ)에는 불순물 도입층이 그대로 존재하는 리세스 게이트가 보여진다.

<36> 도 13을 참조하면, 상기 게이트 스택(317)을 이온주입 마스크로 이용하여 상기 불순물 도입층(308)에 n형 불순물 이온을 상대적으로 낮은 에너지로 주입함으로써 저농도 n-형 소오스/드레인 영역(319)이 형성된 후, 상기 게이트 스택(317)의 측벽에 게이트 스페이서(318)가 형성되도록 한다. 상기 게이트 스페이서(318)를 이온주입 마스크로 사용하여 상기 저농도 n-형 소오스/드레인 영역(319)에 불순물 이온을 상대적으로 높은 에너지로 주입하여 상기 저농도 n-형 소오스/드레인 영역의 일부에 상기 저농도 보다 높은 불순물 농도를 갖는 고농도 n+형 소오스/드레인 영역(320)이 형성됨으로써 또 다른 종래의 기술에 따라 이중 리세스 구조를 갖는 리세스 게이트 트랜지스터가 얻어진다.

<37> 이중 리세스 구조를 갖는 종래의 기술에 의하면, 소오스/드레인과 게이트 사이에 비교적 두꺼운 산화막이 개재됨으로 인하여 게이트 부하 캐패시턴스 및 비트라인의 부하 캐패시턴스는 어느 정도 감소시킬 수 있으나, 상기 산화막의 수직 하부에는 상기 산화막 두께만큼의 불순물 도입층이 그대로 남아있게 되어, 설정된 문턱전압보다 낮은 전압이 게이트에 인가되는 경우에도 에지부분에 채널이

형성되어 누설전류가 생기는 에지 효과(edge effect)가 발생됨에 따라 트랜지스터가 두 개의 문턱전압을 갖는 것처럼 동작하는 리세스 게이트 트랜지스터의 특성 저하가 유발된다.

- <38> 또한, 이중 리세스 내에 게이트 전극 형성시 일부 영역에 보이드와 같은 미충진 부분이 발생하여 소자 불량률의 원인이 되기 때문에 제1 리세스 내의 산화막을 일정 수준 이상으로 두껍게 형성되지 못하는 문제가 유발된다. 따라서, 상기 산화막의 두께를 일정 수준으로 조절할 수 밖에 없고, 산화막을 일정 수준 이상으로 개재하는 경우에는 상술한 리세스 게이트 트랜지스터의 특성 저하를 막을 수 없는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

- <39> 따라서, 본 발명의 목적은 상기한 종래의 문제점들을 해결할 수 있는 리세스 게이트 구조 및 그에 따른 형성방법을 제공함에 있다.
- <40> 본 발명의 다른 목적은 리세스 게이트의 측벽에 형성된 절연막 스페이서의 수직 하부에도 게이트 도전막이 존재하도록 형성되는 리세스 게이트 트랜지스터 구조 및 그에 따른 형성방법을 제공함에 있다.
- <41> 본 발명의 또 다른 목적은 설정된 문턱전압보다 낮은 전압이 게이트에 인가되는 경우에도 에지부분에 채널이 형성되어 누설전류가 생기는 에지 효과를 최소화 또는 방지할 수 있는 리세스 게이트 트랜지스터 구조 및 그에 따른 형성방법을 제공함에 있다.

- <42> 본 발명의 또 다른 목적은 리세스 게이트 이너 스페이서의 두께를 일정 수준 이상으로 두껍게 형성하여 게이트 부하 캐패시턴스 및 비트라인 부하 캐패시턴스를 저감할 수 있는 리세스 게이트 트랜지스터 구조 및 그에 따른 형성방법을 제공함에 있다.
- <43> 또한, 본 발명의 또 다른 목적은 소자의 다양한 디자인 룰에 따라 리세스 게이트의 이너 스페이서의 두께가 용이하게 조절될 수 있는 리세스 게이트 트랜지스터 구조 및 그에 따른 형성방법을 제공함에 있다.
- <44> 또한, 본 발명의 또 다른 목적은 두껍게 형성된 리세스 게이트의 이너 스페이서의 두께만큼 얼라인 마진을 충분히 확보할 수 있어 트랜지스터의 미세화에 따른 미스얼라인을 방지할 수 있는 리세스 게이트 트랜지스터 형성방법을 제공함에 있다.
- <45> 상기의 목적을 달성하기 위하여, 본 발명에 따른 리세스 게이트 트랜지스터 구조는, 기판에 정의된 활성영역에 형성된 불순물 도입층을 갖는 리세스 게이트 트랜지스터의 구조에 있어서: 상기 활성영역의 일부에 상기 활성영역의 상부 표면에서부터 상기 불순물 도입층 보다 얇은 깊이까지 형성된 제1 전극영역과, 상기 제1 전극영역의 하부에서 상기 불순물 도입층을 지나서 일정 깊이까지 연장되며 상기 제1 전극영역의 수평 사이즈보다 더 큰 사이즈를 갖는 제2 전극영역을 포함하여 이루어진 게이트; 상기 제1 전극영역의 측벽에 상기 제1 및 제2 전극영역의 수평 사이즈의 차이가 도입되도록 형성된 절연막 스페이서; 상기 제2 전극영역 내에 일정 두께로 형성된 게이트 절연막; 및 상기 게이트를 사이에 두고 상

기 활성영역에 서로 대향적으로 형성된 소오스/드레인 영역으로 이루어짐을 특징으로 한다.

<46> 상기의 기술적 과제를 해결하기 위하여, 본 발명에 따른 리세스 게이트 트랜지스터의 리세스 구조는, 기판에 정의된 활성영역에 형성된 불순물 도입층을 갖는 리세스 게이트 트랜지스터 제조를 위한 리세스 구조에 있어서: 상기 활성영역의 일부에 상기 불순물 도입층보다 얇은 깊이까지 형성된 제1 리세스; 상기 제1 리세스의 측벽에 일정 두께로 형성된 스페이서; 및 상기 스페이서가 형성된 상기 제1 리세스의 바닥면에서 상기 불순물 도입층을 지나서 일정 깊이까지 형성되고, 상기 제1 리세스의 바닥면의 사이즈 보다 수평적으로 확장형성되어, 상기 스페이서의 수직 하부에는 상기 불순물 도입층이 부존되도록 된 제2 리세스를 가짐을 특징으로 한다.

<47> 상기의 기술적 과제를 해결하기 위하여, 본 발명에 따른 리세스 게이트 트랜지스터 형성방법은, 소자분리막에 의해 정의된 활성영역에 일정 깊이의 불순물 도입층을 형성하는 단계; 상기 활성영역의 일부에 상기 불순물 도입층보다 얇은 깊이의 제1 리세스를 형성하는 단계; 상기 제1 리세스의 측벽에 일정 두께의 스페이서를 형성하는 단계; 상기 스페이서가 형성된 상기 제1 리세스의 바닥면에서 상기 불순물 도입층을 지나서 일정 깊이를 가지고, 상기 제1 리세스의 바닥면의 사이즈 보다 수평적으로 확장되어 상기 스페이서의 수직 하부에도 상기 불순물 도입층이 부존되도록 제2 리세스를 형성하는 단계; 상기 제2 리세스 내에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 및 상기 스페이서를 개재하여 제1 및 제2 리세스 내에 게이트를 형성하는 단계; 및 상기 게이트를 사이에 두고 상

기 활성영역에 서로 대향적으로 이격 형성된 소오스/드레인 영역을 형성하는 단계를 포함함을 특징으로 한다.

<48> 상기의 기술적 과제를 해결하기 위하여, 본 발명에 따른 리세스 게이트 트랜지스터의 리세스 형성방법은, 기판에 정의된 활성영역에 형성된 불순물 도입층을 갖는 리세스 게이트 트랜지스터 제조를 위한 리세스 형성방법에 있어서: 상기 활성영역의 일부에 상기 불순물 도입층보다 얇은 깊이의 제1 리세스를 형성하는 단계; 상기 제1 리세스의 측벽에 일정 두께의 스페이서를 형성하는 단계; 및 상기 스페이서가 형성된 상기 제1 리세스의 바닥면에서 상기 불순물 도입층을 지나서 일정 깊이를 가지고, 상기 제1 리세스의 바닥면의 사이즈 보다 수평적으로 확장되어 상기 스페이서의 수직 하부에도 상기 불순물 도입층이 부존되도록 제2 리세스를 형성하는 단계를 포함함을 특징으로 한다.

<49> 상기의 기술적 과제를 해결하기 위하여, 본 발명에 따른 리세스 게이트 트랜지스터 형성방법은, 소자분리막에 의해 정의된 활성영역에 일정 깊이의 불순물 도입층을 형성하는 단계; 상기 활성영역의 일부에 상기 불순물 도입층보다 깊은 깊이의 리세스를 형성하는 단계; 상기 리세스 내에 게이트 절연막을 형성하는 단계; 상기 리세스의 일정 깊이까지 제1 게이트 도전막을 채우는 단계; 미충진된 상기 리세스의 측벽에 일정 두께의 스페이서를 형성하는 단계; 미충진된 상기 리세스 내에 제2 게이트 도전막을 채워 게이트를 형성하는 단계; 및 상기 게이트를 사이에 두고 상기 활성영역에 서로 대향적으로 이격 형성된 소오스/드레인 영역을 형성하는 단계를 포함함을 특징으로 한다.

【발명의 구성 및 작용】

- <50> 이하 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다. 다양한 실시예에서의 설명들은 본 발명이 속하는 기술분야의 통상의 지식을 가지는 자에게 본 발명의 보다 철저한 이해를 돕기 위한 의도 이외에는 다른 의도없이 예를 들어 도시되고 한정된 것에 불과하므로, 본 발명의 범위를 제한하는 것으로 사용되어서는 아니될 것이다.
- <51> 도 14는 본 발명에 따른 리세스 게이트 트랜지스터의 레이아웃을 보인 도면이고, 도 15 내지 도 24는 본 발명의 제1 실시예에 따라 리세스 게이트 트랜지스터를 형성하는 방법을 차례로 보여주는 공정단면도들이며, 도 25 내지 도 34는 본 발명의 제2 실시예에 따라 리세스 게이트 트랜지스터를 형성하는 방법을 차례로 보여주는 공정단면도들이다.
- <52> 트랜지스터의 평면 배치를 보인 도 14를 참조하면, 2개의 트랜지스터를 함께 제조하기 위해, 소자분리 영역(150)으로 둘러싸인 활성영역(140)의 길이방향과는 수직으로, 서로 평행하게 패터닝된 2개의 게이트 영역(130)이 보여진다.
- <53> 도 15 내지 도 24는 본 발명의 제1 실시예에 따라 리세스 게이트 트랜지스터를 형성하는 방법을 차례로 보여주는 공정 단면도들로서, 이를 참조하여 구체적으로 살펴보면 다음과 같다. 덧붙여, 도 15 내지 도 22, 및 도 24는 도 14의 레이아웃을 절단선 I-I' 을 따라서 도시한 단면을 나타내며, 도 23은 도 14의 레이아웃을 절단선 II-II' 을 따라서 도시한 단면을 나타낸다.

<54> 도 15를 참조하면, p형 반도체 기판(400)의 소정영역에 활성영역 및 비활성영역을 정의하는 소자분리막(402)이 형성되고, 상기 p형 반도체 기판(400)의 표면에 p형 불순물, 예컨대 붕소(B) 이온을 주입한 후, 소정의 열공정을 실시하여 p형의 웰 영역(404)이 형성된다. 상기 소자분리막(402)은 STI 등의 소자 분리방법으로 형성되고, SOG(Spin On Glass), USG(Undoped Silicate Glass), BPSG(Boron Phosphorus Silicate Glass), PSG(Phosphor Silicate Glass), PE-TEOS(Plasma Enhanced Tetra Ethyl Otho Silicate) 및 유동성 산화막(Flowable Oxide) 재질로 이루어진 산화막군에서 어느 하나로 형성되거나, 또는 상기 산화막군 중에서 둘 이상을 포함하는 다중막으로 형성될 수 있다. 또한, 상기 소자분리막(402)은 2500Å 내지 3000Å의 깊이로 형성되는 것이 바람직하며, p형의 웰 영역이 형성된 후에 형성될 수도 있다.

<55> 이어서, 상기 소자분리막(402)에 의해서 정의된 활성영역에 p형 불순물 이온주입하여 문턱전압 조절영역(406)이 형성된다. 상기 문턱전압 조절영역(406)은 리세스 게이트 트랜지스터의 문턱전압을 0.7V 내지 1.5V로 조절하기 위하여 소자분리막에 의해서 정의된 활성영역에 p형 불순물을 주입함으로써 형성된다. 예컨대 소자분리막에 의해서 정의된 활성영역에 붕소(B) 또는 불화붕소(BF₂) 이온을 30KeV 내지 50KeV 에너지 및 1.0×10^{13} ion atoms/cm² 정도의 농도로 주입하여 문턱전압 조절영역(406)이 형성될 수 있다. 이 경우, 상기 문턱전압 조절영역(406)은 1500Å 내지 2000Å 정도의 깊이로 형성되는 것이 바람직하다.

<56> 또한, 후속의 소오스/드레인 영역을 형성하기 위한 이온주입 공정시 문턱전압 조절영역을 카운터 도핑(counter doping)시키기 위한 도오즈를 최소화시키기

위하여, 소자분리막에 의해서 정의된 활성영역에 붕소 이온을 30KeV 내지 50KeV의 에너지로 주입하는 깊은 이온주입 공정 및 불화붕소 이온을 30KeV 내지 60KeV의 에너지로 주입하는 얇은 이온주입 공정으로 문턱전압 조절영역이 형성될 수 있다. 또한, 상기 얇은 이온주입 공정은 불화붕소 이온 이외에 붕소 이온을 사용하여 실시할 수 있다. 이 경우, 붕소에 대한 이온주입 에너지는 불화붕소 이온의 경우에 비하여 약 1/5 정도로 낮게 설정하여야 동일한 도우핑 프로파일을 얻을 수 있다.

<57> 다음으로, 상기 소자분리막(402)을 이온주입 마스크로 이용하여 n형 불순물, 예컨대 인(P), 비소(As) 등을 15KeV 내지 20KeV의 에너지 및 1.0×10^{12} 내지 1.0×10^{13} ion atoms/cm²의 농도로 주입함으로써 불순물 도입층(408)이 형성된다. 이 경우, 상기 불순물 도입층(408)은 일정 깊이, 예컨대 1000Å 내지 1500Å의 깊이로 형성될 수 있고, 상기 문턱전압 조절영역(406)의 깊이보다 얇게 형성되는 것이 바람직하다. 이는 상기 불순물 도입층(408)에 형성되는 소오스 영역의 바닥 및 드레인 영역의 바닥 사이의 기판 농도가 상대적으로 증가하는 결과를 가져오므로 단채널효과를 억제시킬 수 있기 때문이다.

<58> 도 16을 참조하면, 도 15와 같은 결과물이 형성된 기판의 전면에 절연막(410) 및 폴리실리콘막(412)이 형성된 후, 리세스 게이트가 형성될 부분을 노출시키는 포토레지스트 패턴(414)이 상기 폴리실리콘막(412) 상에 형성된다. 상기 절연막(410)은 기판의 표면에 열산화 공정을 진행하여 형성되고, 700℃ 내지 800℃의 온도에서 형성된 MTO(Medium Temperature Oxide) 재질의 산화막으로 형성되는 것이 바람직하다. 또한, 상기 절연막(410)은 100Å 내지 200Å의 두께로 형성

되고, 상기 폴리실리콘막(412)은 1000Å 정도의 두께로 형성되는 것이 바람직하다. 다만, 상기 절연막(410)이 적절한 열산화 온도와 시간의 조절에 의하여 후속되는 리세스를 형성할 때 식각마스크의 역할을 하기에 충분한 두께가 되도록 형성된 경우에는 상기 폴리실리콘막을 형성하는 공정은 생략될 수 있다.

<59> 도 17을 참조하면, 상기 포토레지스트 패턴(414)을 이용하여 상기 폴리실리콘막(412)을 식각하고, 상기 식각된 폴리실리콘막을 식각마스크로 이용하여 상기 절연막(410) 및 불순물 도입층(408)을 순차적으로 식각함에 의해 제1 리세스(416)가 형성된다. 상기 제1 리세스(416)의 폭과 깊이는 다양한 디자인 룰에 따라 달라질 수 있으나, 상기 제1 리세스(416)의 깊이는 상기 불순물 도입층(408)의 프로파일의 최하단보다는 얕은 깊이로 형성되도록 한다. 이 후, 상기 포토레지스트 패턴(414)은 에싱공정을 통해 제거되고, 상기 폴리실리콘막(412)은 식각공정을 통해 제거된다.

<60> 도 18을 참조하면, 상기 제1 리세스(416)의 측면을 넓히는 한편, 상기 제1 리세스(416) 내의 모서리를 라운딩(rounding)하기 위하여 제1 리세스 내에 등방성 식각공정, 예컨대 CDE(Chemical Dry Etching) 또는 습식 식각공정이 진행된다. 이는 후속되는 상기 제1 리세스의 측벽에 절연막 스페이서를 형성하는 공정을 원활히 수행하기 위한 마진을 확보할 수 있기 때문이다. 제1 리세스(416) 내에 CDE 또는 습식식각을 진행하여 제1 리세스의 측면이 넓혀진 모습이 도 17의 결과물로서 보여진다. 다만, 제1 리세스 내에 CDE 또는 습식식각을 진행하는 공정은 본 발명의 실시예에 있어서 반드시 필수적으로 요청되는 공정은 아니라 할 것이며, 본 실시예에

서 본 발명의 효과를 최대화하기 위하여 진행될 수 있는 공정임을 밝혀둔다. 이에 대한 구체적인 설명은 후속되는 공정에서 자세히 실시될 것이다.

<61> 도 19를 참조하면, 상기 제1 리세스(416) 내에 일정 수준 이상의 두께를 갖는 스페이서(418)를 형성한 후, 사진공정 및 식각공정을 진행하여 상기 제1 리세스의 바닥면(L1)에 존재하는 상기 스페이서만을 선택적으로 제거함에 의해 상기 제1 리세스(416)의 측벽에만 상기 스페이서(418)가 형성되도록 한다. 상기 스페이서(418)는 절연막으로서 산화막 재질로 이루어지고, 200Å 내지 300Å 정도의 두꺼운 두께로 형성된다. 또한, 상기 스페이서(418)는 화학기상증착법(CVD), 리플로우(reflow) 방식 또는 고밀도 플라즈마(HDP : High Density Plasma) 장비를 사용하여 증착하는 방식으로 형성된 후, 이방성 식각을 진행하여 형성된다.

<62> 도 20을 참조하면, 상기 제1 리세스의 측벽에 형성된 스페이서(418)를 식각마스크로 이용하여 상기 노출된 제1 리세스의 바닥면(L1)을 일정 깊이까지 식각함에 의해 제2 리세스(417)가 형성된다. 상기 제2 리세스(417)는 상기 제1 리세스의 바닥면에서 상기 불순물 도입층(408)의 프로파일의 최하단을 지나서 일정 깊이를 갖도록 형성되고, 상기 스페이서(418)에 의해 자기 정렬적으로 형성된다. 예컨대, 상기 제2 리세스(417)는 상기 제1 리세스(416)의 깊이보다 200Å 내지 300Å 정도 깊게 형성되고, 상기 제1 및 제2 리세스(416, 417)의 전체 깊이는 1500Å 정도의 깊이로 형성되는 것이 바람직하다. 또한, 상기 제2 리세스(417)를 형성하기 위한 식각공정은 제1 리세스의 바닥면만을 선택적으로 식각하기 위하여 실리콘은 식각되지만 산화막 재질은 식각되지 않는 HBr 등의 에칭 가스를 사용하여 진행될 수 있다.

<63> 도 21을 참조하면, 상기 제2 리세스(417)의 측면을 확장하기 위하여 제2 리세스의 측벽에 등방성 식각공정, 예컨대 CDE(Chemical Dry Etching) 또는 습식 식각공정이 진행된다. 상기 제2 리세스의 사이즈(L2)는 제1 리세스의 바닥면의 사이즈(L1) 보다 수평적으로 일정 넓이, 예컨대 제1 리세스의 바닥면의 사이즈(L1) 보다 200Å 내지 300Å의 넓이가 확장되도록 형성될 수 있다. 그 결과로, 상기 제1 리세스(416)의 수평 사이즈는 상기 제2 리세스(416)의 수평 사이즈보다 크게 형성되고, 상기 제1 리세스(416)의 측벽에 형성된 스페이서(418)의 수직 하부에는 상기 불순물 도입층이 부존되도록 제2 리세스(417)가 형성된다.

<64> 도 22를 참조하면, 상기 제2 리세스(417) 내에 게이트 절연막(420)을 형성한 후, 상기 제1 및 제2 리세스(416, 417)의 내부와 기판의 표면이 충분히 덮여지도록 게이트 도전막(422)이 형성된다. 상기 게이트 절연막(420)은 산화막 재질로서 40Å 내지 60Å 정도의 두께를 가지도록 형성되고, 950℃와 20분 정도의 건조 산소 속에서 제2 리세스(L2)의 바닥면을 열산화하여 형성되거나 혹은 화학기상증착법(CVD) 또는 스퍼터링 방법 등을 사용하여 증착하는 방식으로 형성될 수 있다. 상기 게이트 도전막(422)은 통상적인 증착방법, 예컨대 화학기상증착법(CVD), 저압 화학기상증착법(LPCVD) 또는 플라즈마 화학기상증착법(PECVD)을 사용하여 형성될 수 있다. 또한, 상기 게이트 도전막(422)은 폴리실리콘막을 포함하는 실리사이드막, 예컨대 텅스텐 실리사이드막으로 이루어진 단일막으로 형성될 수 있고, 폴리사이드 구조로 형성될 수도 있다. 게이트 전극이 폴리사이드 구조로 형성될 경우에는, 상기 게이트 도전막이 다중막으로 형성될 수 있다. 상기 실리사이드막은 고용점 금속의 실리사이드막으로서 티타늄(Ti), 탄탈륨(Ta), 텅

스텐(W), 니켈(Ni), 크롬(Cr), 이리듐(Ir), 또는 루비듐(Ru)의 실리사이드막일 수 있다.

<65> 이어서, 상기 게이트 도전막(422) 상에 캡핑막(424)이 형성된 후, 사진공정 및 식각공정으로 패터닝하여 상기 제1 및 제2 리세스(416, 417) 내에서 상기 활성 영역의 표면 상부까지 연장되는 상기 게이트 도전막(422)을 가지고, 상기 게이트 도전막 상에 캡핑막(424)을 갖는 게이트 스택(425)이 형성되도록 한다.

<66> 상기 제1 리세스(416) 내에 형성된 도전영역은 제1 전극영역을 나타내고, 제2 리세스(417) 내에 형성된 도전영역은 제2 전극영역을 나타낸다. 또한, 상기 캡핑막(424)은 화학기상증착법(CVD), 저압 화학기상증착법(LPCVD), 플라즈마 화학기상증착법(PECVD), SACVD(Semi-Atmospheric Chemical Vapor Deposition), 스퍼터링 방법 또는 원자층 증착방법에 의하여 형성되고, 실리콘 질화막 재질로 형성될 수 있다.

<67> 도 23은 도 14의 레이아웃을 절단선 II-II' 을 따라서 도시한 단면을 나타낸 도면으로서, 상기 제1 및 제2 리세스(416, 417)의 이중 구조로 형성되고, 상기 제1 리세스(416)의 측벽에 일정 수준 이상의 두꺼운 절연막 스페이서(418)가 형성되며, 상기 절연막 스페이서(418)의 수직 하부(L3)에도 게이트 도전막이 존재하도록 리세스 게이트가 형성된 결과물이 명백히 보여진다.

<68> 종래의 기술에 의하면, 소오스/드레인과 게이트 사이에 얇은 산화막만이 개재되어 있어, 게이트 부하 캐패시턴스 및 비트라인 부하 캐패시턴스가 플래너 게이트 트랜지스터에 비하여 현저하게 커지는 문제가 발생된다. 이와 같은 현상은 소오

스/드레인과 게이트 사이에 개재된 산화막의 두께가 얇을수록 게이트 부하 캐패시턴스가 증가되고, GIDL(Gate Induced Drain Leakage)이 발생되는데 그 원인이 있다. 이러한 문제를 개선하기 위하여, 소오스/드레인과 게이트 사이에 두꺼운 산화막을 개재하고, 게이트를 이중 리세스 구조로 형성하는 방안이 모색되고 있다. 그러나, 이러한 개선된 구조에서도 소오스/드레인과 게이트 사이에 두꺼운 산화막이 개재됨으로 인하여 그 수직 하부에는 상기 산화막 두께만큼의 불순물 도입층이 그대로 남아있게 되어, 설정된 문턱전압보다 낮은 전압이 게이트에 인가되는 경우에도 에지부분에 채널이 형성되어 누설전류가 생기는 에지 효과(edge effect)가 발생됨에 따라 트랜지스터가 두 개의 문턱전압을 갖는 것처럼 동작하는 리세스 게이트 트랜지스터의 특성 저하가 유발된다. 따라서, 상기 산화막의 두께를 일정 수준으로 조절할 수 밖에 없고, 산화막을 일정 수준 이상으로 개재하는 경우에는 상술한 리세스 게이트 트랜지스터의 특성 저하를 막을 수 없다.

<69> 반면, 본 발명의 제1 실시예에 의하면, 상기 도 22 및 도 23의 결과물을 통해 알 수 있는 바와 같이, 상기 제1 및 제2 리세스의 이중 구조로 형성되고, 상기 제1 리세스의 측벽에 두꺼운 절연막 스페이서가 형성되며, 상기 절연막 스페이서의 수직 하부에도 게이트 도전막이 존재하도록 리세스 게이트가 형성된다. 따라서, 상기 절연막의 형성 두께에 비례하여 리세스 게이트 트랜지스터의 게이트 부하 캐패시턴스 및 비트라인 부하 캐패시턴스를 저감시킬 수 있으며, 상기 절연막 스페이서의 두께를 일정수준 이상으로 두껍게 형성하더라도 설정된 문턱전압보다 낮은 전압이 게이트에 인가되는 경우에도 에지부분에 채널이 형성되어 누설전류가 발생하는 에지 효과를 방지할 수 있다.

<70> 또한, 상기 절연막 스페이서의 수직 하부에도 게이트 도전막이 존재하므로 게이트에 문턱전압보다 낮은 전압이 인가된 경우에는 에지부분에 채널이 형성되지 않고, 문턱전압이 인가된 경우에만 에지부분에 채널이 형성되도록 리세스 게이트 트랜지스터가 형성됨으로써 트랜지스터가 두 개의 문턱전압을 갖는 것처럼 동작하는 리세스 게이트 트랜지스터의 특성 저하를 방지할 수 있다. 상술한 도 18과 같이, 상기 제1 리세스(416) 내에 등방성 식각을 진행하여 제1 리세스의 측면이 넓혀진 경우에는 상기 절연막 스페이서를 형성할 수 있는 충분한 마진이 확보되고, 그에 따라 상기 절연막 스페이서의 수직 하부에 존재하는 게이트 도전막의 폭이 함께 확대되어 트랜지스터의 특성 저하를 보다 억제할 수 있는 본 발명의 효과가 최대한 발생할 수 있다.

<71> 또한, 일정수준 이상으로 두껍게 형성된 절연막 스페이서를 식각마스크로 이용할 수 있으므로 절연막 스페이서의 두께만큼 얼라인 마진을 충분히 확보할 수 있어 트랜지스터의 미세화에 따른 미스얼라인을 방지할 수 있다.

<72> 따라서, 본 발명의 제1 실시예에 의하면, 절연막 스페이서가 일정 수준 이상으로 두껍게 형성될 수 있어, 절연막 스페이서의 두께만큼 리세스 게이트 트랜지스터의 게이트 부하 캐패시턴스 및 비트라인 부하 캐패시턴스를 저감시키는 한편, 리세스 게이트 트랜지스터의 특성 저하를 방지할 수 있으며, 스페이서의 두께가 소자의 특성에 맞는 디자인 룰에 따라 다양하게 설계될 수 있는 본 발명의 목적이 여기서 달성된다.

<73> 도 24를 참조하면, 상기 게이트 스택(425)의 측벽에 게이트 스페이서(428)를 형성한 후, 상기 게이트 스페이서(428)를 이온주입 마스크로 이용하여 n형의

불순물, 예컨대 인(P), 비소(As) 등을 20KeV 내지 30KeV의 에너지 및 1.0×10^{13} 내지 1.0×10^{15} ion atoms/cm²의 농도로 주입하여 상기 불순물 도입층(408)의 일부에 상기 불순물 도입층 보다 높은 불순물 농도를 갖는 고농도 n+형 소오스/드레인 영역(430)이 형성됨으로써 마침내 본 발명에 따른 리세스 게이트 트랜지스터가 얻어진다. 이 경우, 이온주입시의 각도를 조절하여 상기 불순물 도입층(408)의 일부에 고농도 n+형 소오스/드레인 영역(430)이 형성되도록 하는 것이 바람직하다.

<74> 또한, 상기 게이트 스페이서(428)를 형성하기 전에, 상기 게이트 스택(425)을 이온주입 마스크로 이용하여 고농도 n+형 소오스/드레인 영역 형성시 보다 상대적으로 저농도의 n형 불순물을 낮은 에너지로 상기 불순물 도입층(408)에 이온주입하여 저농도 n-형 소오스/드레인 영역(426)을 형성한 후, 상기 저농도 n-형 소오스/드레인 영역(426)의 일부에 상기 저농도 보다 높은 불순물 농도를 갖는 고농도 n+형 소오스/드레인 영역(430)이 형성될 수 있다. 이 경우, LDD 구조의 소오스/드레인 영역(426, 430)이 형성된다.

<75> 도 25 내지 도 34는 본 발명의 제2 실시예에 따라 리세스 게이트 트랜지스터를 형성하는 방법을 차례로 보여주는 공정 단면도들로서, 이를 참조하여 구체적으로 살펴보면 다음과 같다. 덧붙여, 도 25 내지 도 32, 및 도 34는 도 14의 레이아웃을 절단선 I-I'을 따라서 도시한 단면을 나타내며, 도 33은 도 14의 레이아웃을 절단선 II-II'을 따라서 도시한 단면을 나타낸다.

<76> 도 25를 참조하면, 도 15에 도시한 리세스 게이트 트랜지스터와 마찬가지로, p형 반도체 기판(500)의 소정영역에 활성영역 및 비활성영역을 정의하는 소자

분리막(502)이 형성되고, 상기 p형 반도체 기판(500)의 표면에 p형 불순물, 예컨대 붕소(B) 이온을 주입한 후, 소정의 열공정을 실시하여 p형의 웰 영역(504)이 형성된다. 이어서, 상기 소자분리막(502)에 의해서 정의된 활성영역에 p형 불순물을 이온주입하여 문턱전압 조절영역(506)이 형성된 후, 상기 소자분리막(502)을 이온주입 마스크로 이용하여 n형 불순물, 예컨대 인(P), 비소(As) 등을 주입함으로써 불순물 도입층(508)이 형성된다.

<77> 도 26을 참조하면, 도 16에 도시한 바와 마찬가지로, 도 25와 같은 결과물이 형성된 기판의 전면에 절연막(510) 및 폴리실리콘막(512)이 형성된 후, 리세스 게이트가 형성될 부분을 노출시키는 포토레지스트 패턴(514)이 상기 폴리실리콘막(512) 상에 형성된다.

<78> 도 27을 참조하면, 상기 포토레지스트 패턴(514)을 이용하여 상기 폴리실리콘막(512)을 식각하고, 상기 식각된 폴리실리콘막을 식각마스크로 이용하여 상기 절연막(510) 및 불순물 도입층(508)을 순차적으로 식각함에 의해 리세스(516)가 형성된다. 상기 리세스(516)의 폭과 깊이는 다양한 디자인 룰에 따라 달라질 수 있으나, 상기 리세스의 깊이는 상기 불순물 도입층(508)의 프로파일의 최하단을 지나서 일정 깊이를 갖도록 형성된다. 예컨대 상기 리세스(516)의 깊이는 1500Å 정도의 깊이로 형성되는 것이 바람직하다. 이 후, 상기 포토레지스트 패턴(514)은 에싱공정을 통해 제거되고, 상기 폴리실리콘막(512)은 식각공정을 통해 제거된다.

<79> 도 28을 참조하면, 상기 리세스(516)의 측면을 넓히는 한편, 상기 리세스(516) 내의 모서리를 라운딩(rounding)하기 위하여 리세스 내에 등방성 식각공정

, 예컨대 CDE 또는 습식식각 공정이 진행된다. 이는 후속되는 상기 리세스 내의 일부에 도전성 물질을 형성하는 공정 및 상기 리세스의 측벽에 절연막 스페이서를 형성하는 공정을 원활히 수행하기 위한 마진을 확보할 수 있기 때문이다. 상기 리세스(516) 내에 CDE 또는 습식식각을 진행하여 리세스의 측면이 넓혀지고, 리세스(516) 내의 모서리가 라운딩된 모습이 도 28의 결과물로서 보여진다. 다만, 리세스 내에 CDE 또는 습식식각을 진행하는 공정은 본 발명의 실시예에 있어서 반드시 필수적으로 요청되는 공정은 아니라 할 것이며, 본 실시예에서 본 발명의 효과를 최대화하기 위하여 진행될 수 있는 공정임을 밝혀둔다. 이에 대한 구체적인 설명은 후속되는 공정에서 자세히 실시될 것이다. 또한, 리세스를 형성하기 위한 식각공정시 발생하는 식각 데미지층(etch damaged layer)의 영향을 최소화하기 위하여 상기 리세스(516) 내에 회생산화막을 형성한 후, 습식식각을 통해 제거되도록 함이 보다 바람직하다.

<80> 도 29를 참조하면, 상기 리세스(516) 내에 40Å 내지 60Å 정도의 두께를 가지는 게이트 절연막(517)이 형성되도록 한다. 상기 게이트 절연막(517)은 산화막 재질로 형성되고, 950℃와 20분 정도의 건조 산소 속에서 리세스의 내부를 열산화하여 형성되거나 혹은 화학기상증착법(CVD) 또는 스퍼터링 방법 등을 사용하여 증착하는 방식으로 형성될 수 있다.

<81> 도 30을 참조하면, 상기 게이트 절연막이 형성된 리세스(516)의 내부에 일정 깊이의 제1 게이트 도전막(519)이 형성된다. 상기 제1 게이트 도전막(519)은 통상적인 증착방법, 예컨대 화학기상증착법(CVD), 저압 화학기상증착법(LPCVD) 또는 플라즈마 화학기상증착법(PECVD)을 사용하여 형성되고, 폴리실리콘막 재질

로 형성될 수 있다. 또한, 상기 제1 게이트 도전막(519)은 상기 리세스의 내부가 충분히 채워지도록 도전막을 형성한 후, 에치백 공정을 진행하여 상기 리세스(516) 내에 500Å 내지 800Å의 두께로 형성되는 것이 바람직하다.

<82> 도 31을 참조하면, 상기 미충진된 리세스(516)의 측벽에 스페이서(518)가 형성되도록 한다. 상기 스페이서(518)는 절연막으로서 산화막 재질로 이루어지고, 200Å 내지 500Å 정도의 두꺼운 두께로 형성된다. 또한, 상기 스페이서(518)는 화학기상증착법(CVD), 리플로우(reflow) 방식 또는 고밀도 플라즈마(HDP) 장비를 사용하여 증착하는 방식으로 형성된 후, 이방성 식각을 진행하여 형성된다.

<83> 도 32를 참조하면, 상기 리세스(417) 내에 미충진된 부분과 기판의 표면이 충분히 덮여지도록 제2 게이트 도전막(522)이 형성된다. 상기 제2 게이트 도전막(522)은 통상적인 증착방법, 예컨대 화학기상증착법(CVD), 저압 화학기상증착법(LPCVD) 또는 플라즈마 화학기상증착법(PECVD)을 사용하여 형성될 수 있다. 또한, 상기 제2 게이트 도전막(522)은 폴리실리콘막을 포함하는 실리사이드막, 예컨대 텅스텐 실리사이드막으로 이루어진 단일막으로 형성될 수 있고, 폴리사이드 구조로 형성될 수도 있다. 게이트 전극이 폴리사이드 구조로 형성될 경우에는, 상기 게이트 도전막이 다층막으로 형성될 수 있다. 상기 실리사이드막은 고용점 금속의 실리사이드막으로서 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 니켈(Ni), 크롬(Cr), 이리듐(Ir), 또는 루비듐(Ru)의 실리사이드막일 수 있다.

<84> 이어서, 상기 제2 게이트 도전막(522) 상에 캡핑막(524)이 형성된 후, 사진 공정 및 식각공정으로 패터닝하여 상기 리세스(516)의 내에서 활성영역의 표면 상부에까지 연장되는 상기 제1 및 제2 게이트 도전막(522)을 가지고 상기 제2 게

이트 상에 캡핑막(524)을 갖는 게이트 스택(525)이 형성되도록 한다. 상기 제1 게이트 도전막으로 형성된 도전영역은 제1 전극영역을 나타내고, 제2 게이트 도전막으로 형성된 도전영역은 제2 전극영역을 나타낸다. 또한, 상기 캡핑막(524)은 화학기상증착법(CVD), 저압 화학기상증착법(LPCVD), 플라즈마 화학기상증착법(PECVD), SACVD, 스퍼터링 방법 또는 원자층 증착방법에 의하여 형성되고, 실리콘 질화막 재질로 형성될 수 있다.

<85> 도 33은 본 발명의 제2 실시예에 있어서 도 14의 레이아웃을 절단선 II-II'을 따라서 도시한 단면도를 나타낸다. 상기 제1 및 제2 게이트 도전막(519, 522)의 이중 구조로 형성되고, 상기 리세스(516)의 측벽 일부에 두꺼운 절연막 스페이서가 형성되며, 상기 절연막 스페이서(518)의 수직 하부에 제2 게이트 도전막이 존재하도록 리세스 게이트가 형성된 결과물이 명백히 보여진다.

<86> 리세스 내에 스페이서를 먼저 형성한 후에 게이트 도전막을 형성하는 공정이 진행되는 경우, 게이트 도전막의 형성시 일부 영역에 보이드와 같은 미충진 부분이 발생하여 소자 불량률의 원인이 되기 때문에 리세스 내의 스페이서를 일정 수준 이상으로 두껍게 형성되지 못하는 문제가 유발되지만 본 발명의 제2 실시예에 의하면, 상기 리세스 내에 제1 게이트 도전막이 형성된 후에 상기 미충진된 리세스의 측벽에 스페이서가 형성되므로 스페이서의 두께를 일정 수준 이상으로 두껍게 형성할 수 있을 뿐만 아니라 소자의 다양한 디자인 룰에 따라 스페이서의 두께가 용이하게 조절될 수 있다.

<87> 또한, 본 발명의 제2 실시예에서는 상기 도 32 및 도 33의 결과물에서 보여지는 바와 같이, 상기 제1 및 제2 게이트 도전막의 이중 구조로 형성되고, 상기

제2 게이트 도전막이 형성된 상기 리세스의 측벽에 두꺼운 절연막 스페이서가 형성되며, 상기 절연막 스페이서의 수직 하부에도 게이트 도전막이 존재하도록 리세스 게이트가 형성된다. 따라서, 상기 절연막의 형성 두께에 비례하여 리세스 게이트 트랜지스터의 게이트 부하 캐패시턴스 및 비트라인 부하 캐패시턴스를 저감시킬 수 있으며, 상기 절연막 스페이서의 두께를 일정수준 이상으로 두껍게 형성하더라도 설정된 문턱전압보다 낮은 전압이 게이트에 인가되는 경우에도 에지 부분에 채널이 형성되어 누설전류가 생기는 에지 효과(edge effect)가 발생됨에 따라 트랜지스터가 두 개의 문턱전압을 갖는 것처럼 동작하는 리세스 게이트 트랜지스터의 특성 저하를 방지할 수 있다. 상술한 도 28과 같이, 상기 리세스 (516) 내에 등방성 식각을 진행하여 리세스의 측면이 넓혀진 경우에는 상기 절연막 스페이서를 형성할 수 있는 충분한 마진이 확보되고, 그에 따라 상기 절연막 스페이서의 수직 하부에 존재하는 게이트 도전막의 폭이 함께 확대되어 트랜지스터의 특성 저하를 보다 억제할 수 있는 본 발명의 효과가 최대한 발생된다.

<88> 또한, 두껍게 형성된 절연막 스페이서를 식각마스크로 이용할 수 있으므로 절연막 스페이서의 두께만큼 얼라인 마진을 충분히 확보할 수 있어 트랜지스터의 미세화에 따른 미스얼라인을 방지할 수 있다.

<89> 따라서, 본 발명의 제2 실시예에 의하면, 절연막 스페이서가 일정 수준 이상으로 두껍게 형성될 수 있고, 소자의 특성에 맞는 디자인 룰에 따라 스페이서의 두께가 용이하게 조절이 가능하며, 절연막 스페이서의 두께만큼 리세스 게이트 트랜지스터의 게이트 부하 캐패시턴스 및 비트라인 부하 캐패시턴스를 저감시킬 수 있다.

<90> 도 34를 참조하면, 상기 게이트 스택(525)의 측벽에 게이트 스페이서(528)를 형성한 후, 상기 게이트 스페이서(528)를 이온주입 마스크로 이용하여 n형의 불순물, 예컨대 인(P), 비소(As) 등을 20KeV 내지 30KeV의 에너지 및 1.0×10^{13} 내지 1.0×10^{15} ion atoms/cm²의 농도로 주입하여 상기 불순물 도입층(508)의 일부에 상기 불순물 도입층 보다 높은 불순물 농도를 갖는 고농도 n+형 소오스/드레인 영역(530)이 형성된다. 이 경우, 이온주입시의 각도를 조절하여 상기 불순물 도입층의 일부에 고농도 n+형 소오스/드레인 영역이 형성되도록 하는 것이 바람직하다. 또한, 상기 게이트 스택(525)의 측벽에 게이트 스페이서(528)를 형성하기 전에, 상기 게이트 스택(525)을 이온주입 마스크로 이용하여 고농도 n+형 소오스/드레인 영역 형성시 보다 상대적으로 저농도의 n형 불순물을 낮은 에너지로 상기 불순물 도입층(508)에 이온주입하여 저농도 n-형 소오스/드레인 영역(526)을 형성한 후, 상기 저농도 n-형 소오스/드레인 영역(526)의 일부에 상기 저농도 보다 높은 불순물 농도를 갖는 고농도 n+형 소오스/드레인 영역(530)이 형성될 수 있다. 이 경우, LDD 구조의 소오스/드레인 영역(526, 530)이 형성된다.

<91> 본 발명에 따른 리세스 게이트 트랜지스터는 상기 제1 및 제2 실시예에 의한 설계방식에 한정되지 않고 다양하게 설계되어 형성될 수 있음은 본 발명이 속하는 기술분야에서 통상의 지식을 가지는 자에게는 자명한 사실이다. 따라서, 본 발명에 따른 상기 리세스 게이트 트랜지스터는 상기 도전형 이외에 반대 도전형의 기판 및 반대 도전형의 불순물을 이용하여 형성될 수 있고, 메모리 셀을 형성

하기 위해 커패시터와 연결되는 복수의 리세스 게이트 트랜지스터로 형성될 수 있음을 명백히 밝혀둔다.

【발명의 효과】

<92> 상술한 바와 같이, 본 발명은 리세스 게이트의 측벽에 형성된 절연막 스페이서의 수직 하부에도 게이트 도전막이 존재하도록 리세스 게이트가 형성되어, 설정된 문턱전압보다 낮은 전압이 게이트에 인가되는 경우에도 에지부분에 채널이 형성되어 누설전류가 발생하는 에지 효과를 최소화 또는 방지하는 효과를 갖는다.

<93> 또한, 본 발명은 리세스 게이트의 측벽에 두꺼운 절연막 스페이서가 형성되고, 절연막 스페이서의 수직 하부에도 게이트 도전막이 존재하도록 리세스 게이트가 형성되어, 게이트 부하 캐패시턴스 및 비트라인 부하 캐패시턴스를 저감하는 효과를 갖는다.

<94> 또한, 본 발명은 리세스 게이트의 리세스 내에 일부분의 게이트 도전막이 형성된 후에 절연막 스페이서가 형성되므로 스페이서의 두께를 일정 수준 이상으로 두껍게 형성할 수 있는 효과를 갖는다.

<95> 또한, 본 발명은 소자의 다양한 디자인 룰에 따라 리세스 게이트의 이너 스페이서의 두께가 용이하게 조절되는 효과를 갖는다.

<96> 또한, 본 발명은 두껍게 형성된 절연막 스페이서를 식각마스크로 이용할 수 있으므로 절연막 스페이서의 두께만큼 얼라인 마진을 충분히 확보할 수 있어 트랜지스터의 미세화에 따른 미스얼라인이 방지되는 이점이 있다.

【특허청구범위】**【청구항 1】**

기판에 정의된 활성영역에 형성된 불순물 도입층을 갖는 리세스 게이트 트랜지스터의 구조에 있어서:

상기 활성영역의 일부에 상기 활성영역의 상부 표면에서부터 상기 불순물 도입층 보다 얇은 깊이까지 형성된 제1 전극영역과, 상기 제1 전극영역의 하부에서 상기 불순물 도입층을 지나서 일정 깊이까지 연장되며 상기 제1 전극영역의 수평 사이즈보다 더 큰 사이즈를 갖는 제2 전극영역을 포함하여 이루어진 게이트 ;

상기 제1 전극영역의 측벽에 상기 제1 및 제2 전극영역의 수평 사이즈의 차이가 도입되도록 형성된 절연막 스페이서;

상기 제2 전극영역 내에 일정 두께로 형성된 게이트 절연막; 및

상기 게이트를 사이에 두고 상기 활성영역에 서로 대향적으로 형성된 소오스 및 드레인 영역으로 이루어짐을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 2】

제 1항에 있어서,

상기 기판이 p형일 경우에, 상기 불순물 도입층과 상기 소오스 및 드레인 영역은 n형으로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 3】

제 1항에 있어서,

상기 기판이 n형일 경우에, 상기 불순물 도입층과 상기 소오스 및 드레인 영역은 p형으로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 4】

제 1항에 있어서,

상기 제1 전극영역의 측벽에 형성된 절연막 스페이서의 수직 하부에 제2 전극영역이 존재하는 것을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 5】

제 1항에 있어서,

상기 제2 전극영역의 수평 사이즈는 제1 전극영역의 수평 사이즈 보다 200 Å 내지 300 Å 더 큰 사이즈를 갖는 것을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 6】

제 1항에 있어서,

상기 제2 전극영역의 깊이는 상기 제1 전극영역의 깊이보다 200Å 내지 300Å 깊은 것을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 7】

제 1항 또는 제 4항에 있어서,

상기 절연막 스페이서는 200Å 내지 300Å의 두께를 갖는 것을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 8】

제 1항 또는 제 4항에 있어서,

상기 절연막 스페이서는 산화막 재질로 이루어짐을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 9】

제 1항에 있어서,

상기 트랜지스터는 상기 게이트의 상부에 형성된 캡핑막과; 상기 게이트 및 상기 캡핑막의 측벽에 형성된 게이트 스페이서를 더 구비함을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 10】

제 1항에 있어서,

상기 게이트는 폴리실리콘막의 단일막으로 이루어지거나 폴리사이드 구조로 형성된 다중막으로 이루어짐을 특징으로 하는 리세스 게이트 트랜지스터의 구조

【청구항 11】

제 9항에 있어서,

상기 캡핑막은 실리콘 질화막 재질로 이루어짐을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 12】

제 1항에 있어서,

상기 게이트 절연막은 산화막 재질로 이루어지고, 40Å 내지 60Å의 두께로 이루어짐을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 13】

제 1항에 있어서,

상기 소오스 및 드레인 영역은 상기 불순물 도입층 보다 높은 불순물 농도를 갖는 것을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 14】

제 1항 또는 제 13항에 있어서,

상기 소오스 및 드레인 영역은 저농도 소오스 및 드레인 영역과 고농도 소오스 및 드레인 영역을 갖는 LDD 구조로 이루어짐을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 15】

리세스 게이트 트랜지스터의 구조에 있어서:

소자분리막에 의해 정의된 활성영역에 일정 깊이로 형성된 불순물 도입층;

상기 활성영역의 일부에 상기 불순물 도입층보다 얇은 깊이로 형성된 제1 리세스;

상기 제1 리세스의 측벽에 일정 두께로 형성된 스페이서;

상기 스페이서가 형성된 상기 제1 리세스의 바닥면에서 상기 불순물 도입층을 지나서 일정 깊이까지 형성되고, 상기 제1 리세스의 바닥면의 사이즈 보다 수

평적으로 확장형성되어, 상기 스페이서의 수직 하부에는 상기 불순물 도입층이
부존되도록 된 제2 리세스;

상기 제2 리세스 내에 형성된 게이트 절연막;

상기 게이트 절연막을 개재하여 상기 제1 및 제2 리세스 내에 형성된 게이
트; 및

상기 게이트를 사이에 두고 상기 활성영역에 서로 대향적으로 이격 형성된
소오스 및 드레인 영역으로 이루어짐을 특징으로 하는 리세스 게이트 트랜지스터
의 구조.

【청구항 16】

제 15항에 있어서,

상기 제1 리세스의 측벽에 형성된 절연막 스페이서의 수직 하부에 제2 리세
스가 존재하는 것을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 17】

제 15항에 있어서,

상기 제2 리세스의 수평 사이즈는 제1 리세스의 수평 사이즈 보다 200Å 내
지 300Å 더 큰 사이즈를 갖는 것을 특징으로 하는 리세스 게이트 트랜지스터의
구조.

【청구항 18】

제 15항에 있어서,

상기 제2 리세스의 깊이는 상기 제1 리세스의 깊이보다 200\AA 내지 300\AA 깊은 것을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 19】

제 15항 또는 제 16항에 있어서,

상기 스페이서는 200\AA 내지 300\AA 의 두께를 갖는 것을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 20】

제 15항 또는 제 16항에 있어서,

상기 스페이서는 산화막 재질로 이루어짐을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 21】

제 15항에 있어서,

상기 게이트 절연막은 산화막 재질로 이루어지고, 40\AA 내지 60\AA 의 두께로 이루어짐을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 22】

제 15항에 있어서,

상기 트랜지스터는 상기 게이트의 상부에 형성된 캡핑막과; 상기 게이트 및 상기 캡핑막의 측벽에 형성된 게이트 스페이서를 더 구비함을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 23】

제 15항에 있어서,

상기 게이트는 폴리실리콘막의 단일막으로 이루어지거나 폴리사이드 구조로 형성된 다중막으로 이루어짐을 특징으로 하는 리세스 게이트 트랜지스터의 구조

【청구항 24】

제 22항에 있어서,

상기 캡핑막은 실리콘 질화막 재질로 이루어짐을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 25】

제 15항에 있어서,

상기 소오스 및 드레인 영역은 상기 불순물 도입층 보다 높은 불순물 농도를 갖는 것을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 26】

제 15항 또는 제 25항에 있어서,

상기 소오스 및 드레인 영역은 저농도 소오스 및 드레인 영역과 고농도 소오스 및 드레인 영역을 갖는 LDD 구조로 이루어짐을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 27】

제 15항에 있어서,

상기 트랜지스터는 상기 불순물 도입층의 하부에 문턱전압 조절영역을 더 가짐을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 28】

소자분리막에 의해 정의된 활성영역에 일정 깊이로 형성되며 일부가 소오스 및 드레인 영역으로 사용되는 불순물 도입층;

상기 활성영역의 일부에 상기 불순물 도입층보다 얇은 깊이로 형성된 제1 리세스;

상기 제1 리세스의 측벽에 일정 두께로 형성된 스페이서;

상기 스페이서가 형성된 상기 제1 리세스의 바닥면에서 상기 불순물 도입층을 지나서 일정 깊이까지 형성되고, 상기 제1 리세스의 바닥면의 사이즈 보다 수평적으로 확장형성되어, 상기 스페이서의 수직 하부에는 상기 불순물 도입층이 부존되도록 된 제2 리세스;

상기 제2 리세스 내에 형성된 게이트 절연막; 및

상기 게이트 절연막을 개재하여 상기 제1 및 제2 리세스내에 형성된 게이트를 구비함을 특징으로 하는 리세스 게이트 트랜지스터의 구조.

【청구항 29】

기판에 정의된 활성영역에 형성된 불순물 도입층을 갖는 리세스 게이트 트랜지스터 제조를 위한 리세스 구조에 있어서:

상기 활성영역의 일부에 상기 불순물 도입층보다 얇은 깊이까지 형성된 제1 리세스;

상기 제1 리세스의 측벽에 일정 두께로 형성된 스페이서; 및

상기 스페이서가 형성된 상기 제1 리세스의 바닥면에서 상기 불순물 도입층을 지나서 일정 깊이까지 형성되고, 상기 제1 리세스의 바닥면의 사이즈 보다 수평적으로 확장형성되어, 상기 스페이서의 수직 하부에는 상기 불순물 도입층이 부존되도록 된 제2 리세스를 가짐을 특징으로 하는 리세스 구조.

【청구항 30】

소자분리막에 의해 정의된 활성영역에 일정 깊이의 불순물 도입층을 형성하는 단계;

상기 활성영역의 일부에 상기 불순물 도입층보다 얇은 깊이의 제1 리세스를 형성하는 단계;

상기 제1 리세스의 측벽에 일정 두께의 스페이서를 형성하는 단계;

상기 스페이서가 형성된 상기 제1 리세스의 바닥면에서 상기 불순물 도입층을 지나서 일정 깊이를 가지고, 상기 제1 리세스의 바닥면의 사이즈 보다 수평적으로 확장되어 상기 스페이서의 수직 하부에도 상기 불순물 도입층이 부존되도록 제2 리세스를 형성하는 단계;

상기 제2 리세스 내에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 및 상기 스페이서를 개재하여 제1 및 제2 리세스 내에 게이트를 형성하는 단계; 및

상기 게이트를 사이에 두고 상기 활성영역에 서로 대향적으로 이격 형성된 소오스 및 드레인 영역을 형성하는 단계를 포함함을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 31】

제 30항에 있어서, 상기 제1 리세스의 측벽에 일정 두께의 스페이서를 형성하는 단계는,

상기 제1 리세스 내에 일정 두께의 스페이서를 형성하는 단계; 및
사진공정 및 식각공정을 진행하여 상기 제1 리세스의 바닥면에 존재하는 상기 스페이서만을 선택적으로 제거하는 단계를 포함함을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 32】

제 30항에 있어서, 상기 제2 리세스를 형성하는 단계는,
상기 제1 리세스의 측벽에 형성된 스페이서를 식각마스크로 이용하여 상기 제1 리세스의 바닥면에서 상기 불순물 도입층을 지나서 일정 깊이까지 개구를 형성하는 단계; 및
상기 개구 내에 CDE 또는 습식식각을 진행하여 상기 제1 리세스의 바닥면의 사이즈 보다 큰 사이즈를 갖는 제2 리세스를 형성하는 단계를 포함함을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 33】

제 30항 또는 제 32항에 있어서,
상기 제2 리세스는 상기 제1 리세스의 측벽에 형성된 스페이서의 수직 하부에도 존재하도록 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 34】

제 30항 또는 제 32항에 있어서,

상기 제2 리세스의 수평 사이즈는 제1 리세스의 수평 사이즈 보다 200Å 내지 300Å 더 큰 사이즈로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 35】

제 30항 또는 제 32항에 있어서,

상기 제2 리세스 깊이는 상기 제1 리세스의 깊이보다 200Å 내지 300Å 깊은 깊이로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 36】

제 30항 내지 제 33항 중 어느 한 항에 있어서,

상기 스페이서는 200Å 내지 300Å의 두께로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 37】

제 30항 내지 제 33항 중 어느 한 항에 있어서,

상기 스페이서는 산화막 재질로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 38】

제 30항 내지 제 33항 중 어느 한 항에 있어서,

상기 스페이서는 화학기상증착법(CVD), 리플로우(reflow) 방식 또는 고밀도 플라즈마(HDP) 장비를 사용하여 증착하는 방식 중 선택된 어느 하나의 방식을 이용하여 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 39】

제 30항에 있어서,

상기 불순물 도입층은 기판과 반대되는 도전형의 불순물을 15KeV 내지 20KeV의 에너지로 이온주입하여 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 40】

제 30항에 있어서,

상기 제1 리세스를 형성한 후에, 상기 제1 리세스의 측면을 넓히고, 제1 리세스의 바닥 모서리를 라운딩하기 위하여 상기 제1 리세스 내에 CDE 또는 습식식각을 진행하는 단계를 더 포함함을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 41】

제 30항에 있어서,

상기 게이트 절연막은 산화막 재질로 형성되고, 40Å 내지 60Å의 두께로 형성되며, 상기 제2 리세스의 바닥면을 열산화하여 형성되거나 혹은 화학기상증착법(CVD) 또는 스퍼터링 방법을 사용하여 증착하는 방식으로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 42】

제 30항에 있어서, 상기 게이트를 형성하는 단계는,
상기 제1 및 제2 리세스 내에 도전성 물질을 채워 게이트 도전막을 형성하는 단계;
상기 게이트 도전막 상에 캡핑막을 형성하는 단계;
사진 및 식각공정으로 패터닝하여 상기 제1 및 제2 리세스 내에서 상기 활성영역의 표면 상부까지 연장되는 게이트 도전막 및 상기 게이트 도전막 상에 캡핑막을 갖는 게이트 스택을 형성하는 단계; 및
상기 게이트 스택의 측벽에 게이트 스페이서를 형성하는 단계를 포함함을 특징으로 하는 리세스 게이트 트랜지스터 형성방법.

【청구항 43】

제 42항에 있어서,

상기 게이트 도전막은 화학기상증착법(CVD), 저압 화학기상증착법(LPCVD) 또는 플라즈마 화학기상증착법(PECVD) 중 선택된 어느 하나의 방식을 이용하여 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 44】

제 42항에 있어서,

상기 게이트 도전막은 폴리실리콘막의 단일막으로 이루어지거나 폴리사이드 구조로 형성된 다층막으로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 45】

제 42항에 있어서,

상기 캡핑막은 실리콘 질화막 재질로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 46】

제 30항에 있어서,

상기 소오스 및 드레인 영역은 상기 게이트를 이온주입 마스크로 이용하여 20KeV 내지 30KeV의 에너지 및 1.0×10^{13} 내지 1.0×10^{15} ion atoms/cm²의 농도로 이온주입하여 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 47】

제 30항 또는 제 46항에 있어서,

상기 소오스 및 드레인 영역은 기판과 반대 도전형으로 형성되고, 상기 불순물 도입층과 같은 도전형으로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 48】

제 30항에 있어서,

상기 불순물 도입층을 형성하기 전에, 상기 소자분리막에 의해서 정의된 활성영역에 불순물을 이온주입하여 문턱전압 조절영역을 형성하는 단계를 더 포함함을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 49】

기판에 정의된 활성영역에 형성된 불순물 도입층을 갖는 리세스 게이트 트랜지스터 제조를 위한 리세스 형성방법에 있어서:

상기 활성화영역의 일부에 상기 불순물 도입층보다 얇은 깊이의 제1 리세스를 형성하는 단계;

상기 제1 리세스의 측벽에 일정 두께의 스페이서를 형성하는 단계; 및

상기 스페이서가 형성된 상기 제1 리세스의 바닥면에서 상기 불순물 도입층을 지나서 일정 깊이를 가지고, 상기 제1 리세스의 바닥면의 사이즈 보다 수평적으로 확장되어 상기 스페이서의 수직 하부에도 상기 불순물 도입층이 부존되도록 제2 리세스를 형성하는 단계를 포함함을 특징으로 하는 리세스 형성방법.

【청구항 50】

소자분리막에 의해 정의된 활성화영역에 일정 깊이의 불순물 도입층을 형성하는 단계;

상기 활성화영역의 일부에 상기 불순물 도입층보다 깊은 깊이의 리세스를 형성하는 단계;

상기 리세스 내에 게이트 절연막을 형성하는 단계;

상기 리세스의 일정 깊이까지 제1 게이트 도전막을 채우는 단계;

미충진된 상기 리세스의 측벽에 일정 두께의 스페이서를 형성하는 단계;

미충진된 상기 리세스 내에 제2 게이트 도전막을 채워 게이트를 형성하는 단계 ; 및

상기 게이트를 사이에 두고 상기 활성영역에 서로 대향적으로 이격 형성된 소오스 및 드레인 영역을 형성하는 단계를 포함함을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 51】

제 49항에 있어서,

상기 불순물 도입층과 소오스 및 드레인 영역은 기판과 반대 도전형으로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 52】

제 49항에 있어서,

상기 불순물 도입층은 기판과 반대되는 도전형의 불순물을 15KeV 내지 20KeV의 에너지로 이온주입하여 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 53】

제 49항에 있어서,

상기 리세스의 깊이는 상기 불순물 도입층을 지나서 상기 활성영역의 상부 표면에서 1500Å의 깊이로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 54】

제 49항에 있어서,

상기 게이트 절연막은 산화막 재질로 형성되고, 40Å 내지 60Å의 두께로 형성되며, 상기 제2 리세스의 바닥면을 열산화하여 형성되거나 혹은 화학기상증착법(CVD) 또는 스퍼터링 방법을 사용하여 증착하는 방식으로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 55】

제 49항에 있어서,

상기 제1 게이트 도전막은 상기 리세스 내에 500Å 내지 800Å의 두께로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 56】

제 49항에 있어서,

상기 제1 게이트 도전막은 폴리실리콘막으로 형성되고, 화학기상증착법(CVD), 저압 화학기상증착법(LPCVD) 또는 플라즈마 화학기상증착법(PECVD) 중 선택

택된 어느 하나의 방식을 이용하여 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 57】

제 49항에 있어서,

상기 스페이서는 산화막 재질로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 58】

제 49항에 있어서,

상기 스페이서는 화학기상증착법(CVD), 리플로우(reflow) 방식 또는 고밀도 플라즈마(HDP) 장비를 사용하여 증착하는 방식 중 선택된 어느 하나의 방식을 이용하여 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 59】

제 49항에 있어서,

상기 스페이서는 200Å 내지 500Å의 두께로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 60】

제 49항에 있어서,

상기 미충진된 리세스의 측벽에 형성된 절연막 스페이서의 수직 하부에도 제1 게이트 도전막이 존재하도록 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 61】

제 49항에 있어서,

상기 제2 게이트 도전막은 화학기상증착법(CVD), 저압 화학기상증착법(LPCVD) 또는 플라즈마 화학기상증착법(PECVD) 중 선택된 어느 하나의 방식을 이용하여 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 62】

제 49항에 있어서,

상기 제2 게이트 도전막은 폴리실리콘막의 단일막으로 이루어지거나 폴리사이드 구조로 형성된 다중막으로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 63】

제 49항에 있어서, 상기 게이트를 형성하는 단계는,

상기 제2 게이트 도전막 상에 캡핑막을 형성하는 단계;

사진 및 식각공정을 진행하여 상기 미충진된 리세스 내에서 상기 활성영역의 표면 상부까지 연장되는 게이트 도전막 및 상기 게이트 도전막 상에 캡핑막을 갖는 게이트 스택을 형성하는 단계;

상기 게이트 스택의 측벽에 게이트 스페이서를 형성하는 단계를 포함함을 특징으로 하는 리세스 게이트 트랜지스터 형성방법.

【청구항 64】

제 63항에 있어서,

상기 캡핑막은 실리콘 질화막 재질로 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【청구항 65】

제 49항에 있어서,

상기 소오스 및 드레인 영역은 상기 게이트를 이온주입 마스크로 이용하여 20KeV 내지 30KeV의 에너지 및 1.0×10^{13} 내지 1.0×10^{15} ion atoms/cm²의 농도로 이온주입하여 형성됨을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

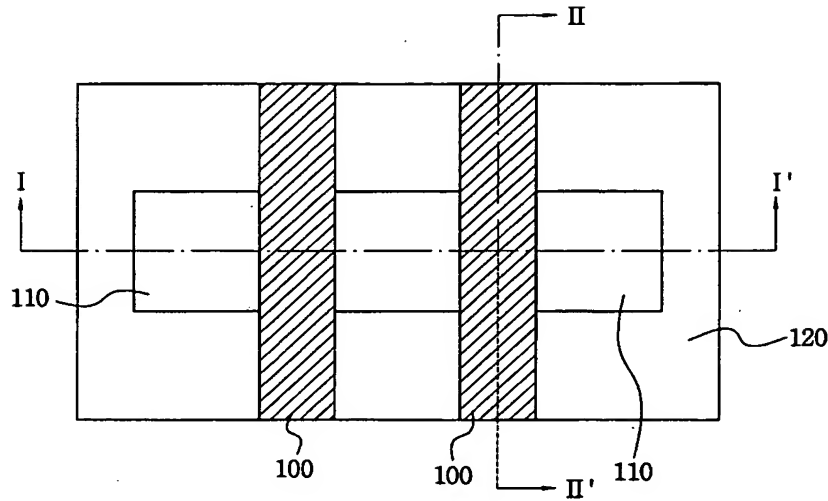
【청구항 66】

제 49항에 있어서,

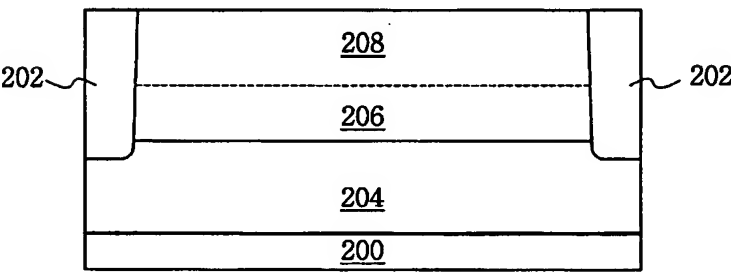
상기 불순물 도입층을 형성하기 전에, 상기 소자분리막에 의해서 정의된 활성영역에 불순물을 이온주입하여 문턱전압 조절영역을 형성하는 단계를 더 포함함을 특징으로 하는 리세스 게이트 트랜지스터의 형성방법.

【도면】

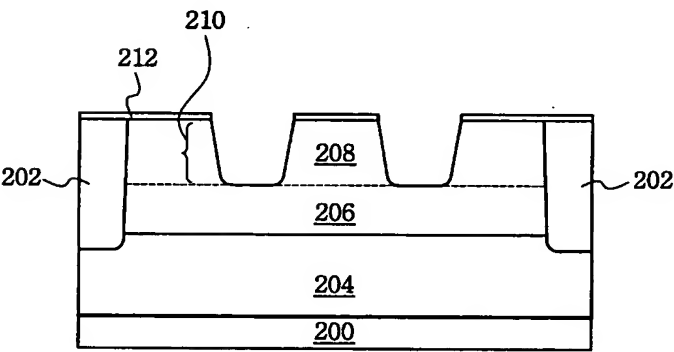
【도 1】



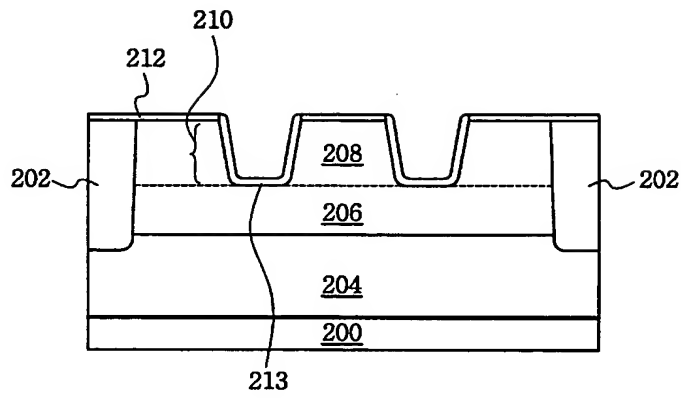
【도 2】



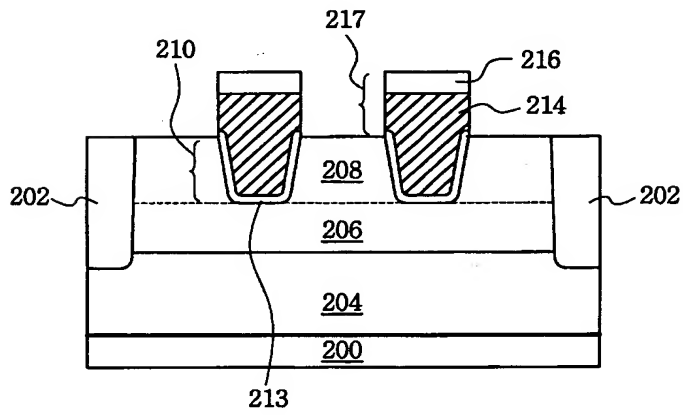
【도 3】



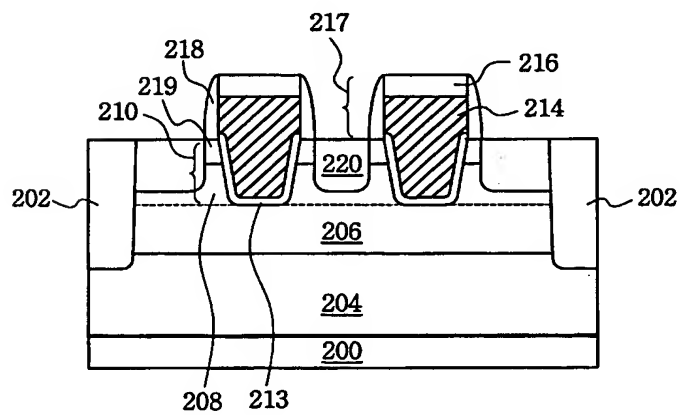
【도 4】



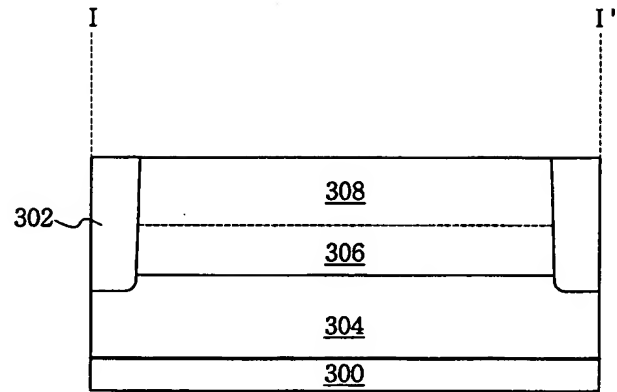
【도 5】



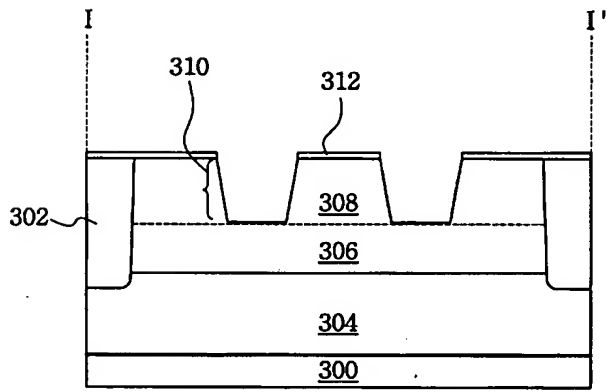
【도 6】



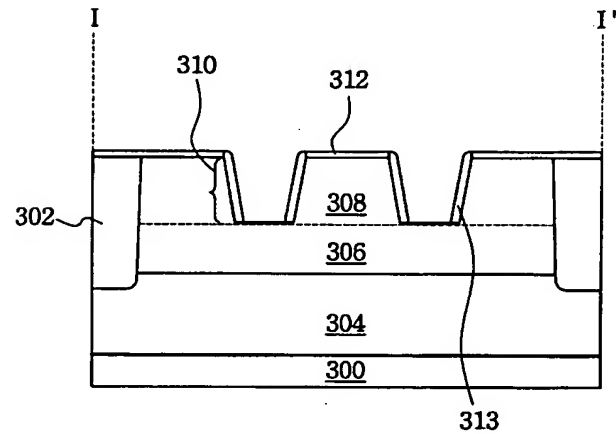
【도 7】



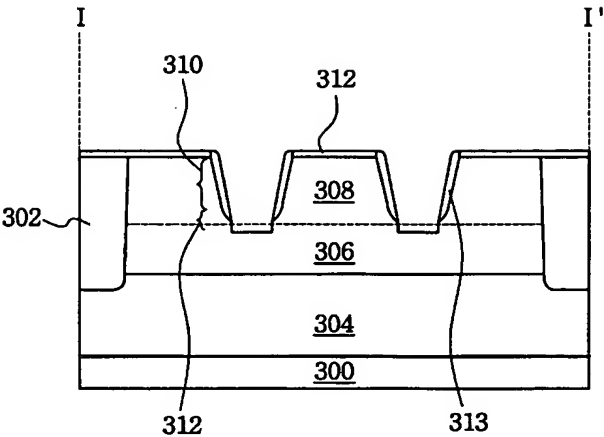
【도 8】



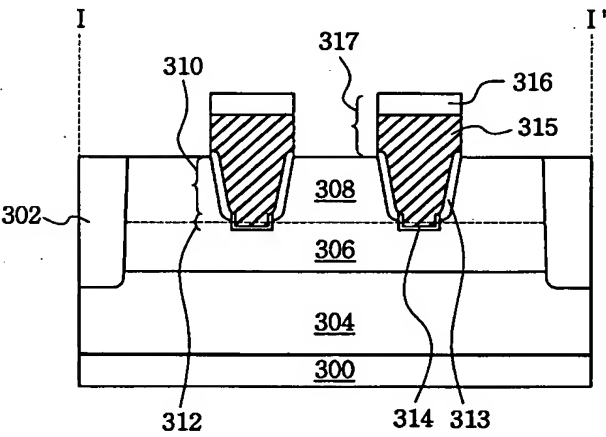
【도 9】



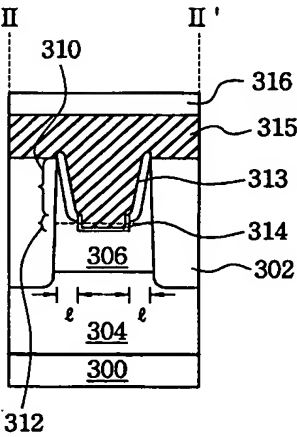
【도 10】



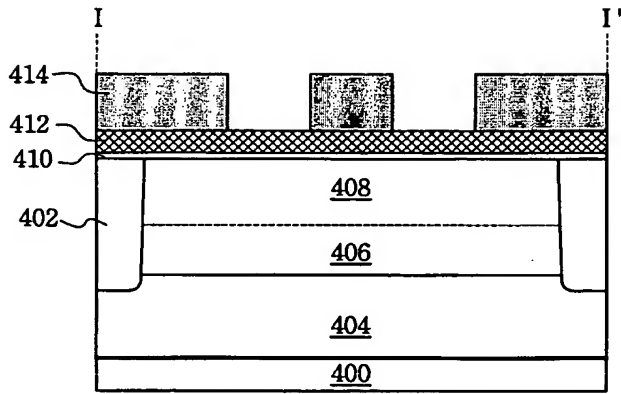
【도 11】



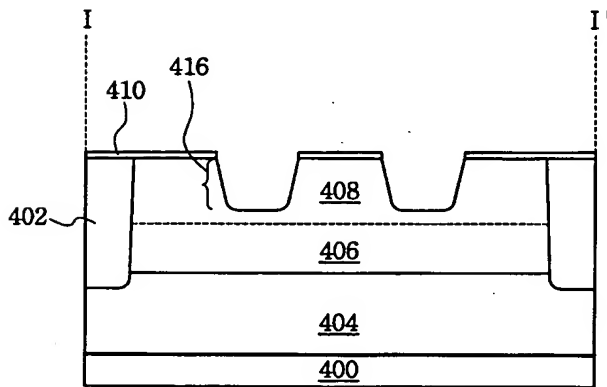
【도 12】



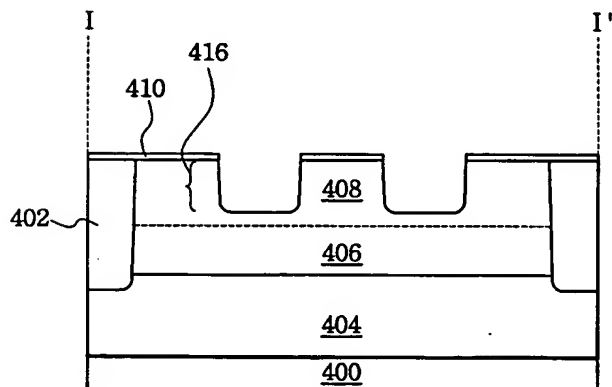
【도 16】



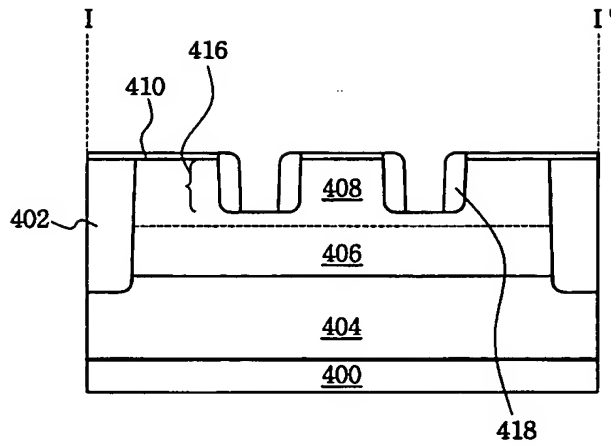
【도 17】



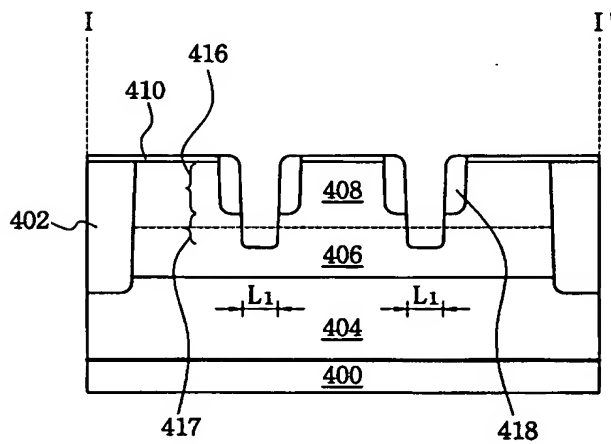
【도 18】



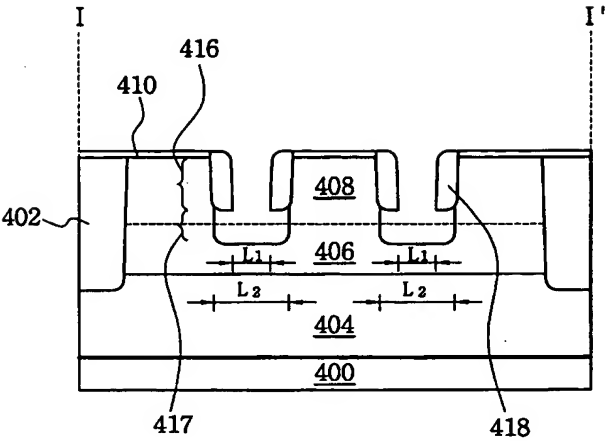
【도 19】



【도 20】



【도 21】



【도 22】

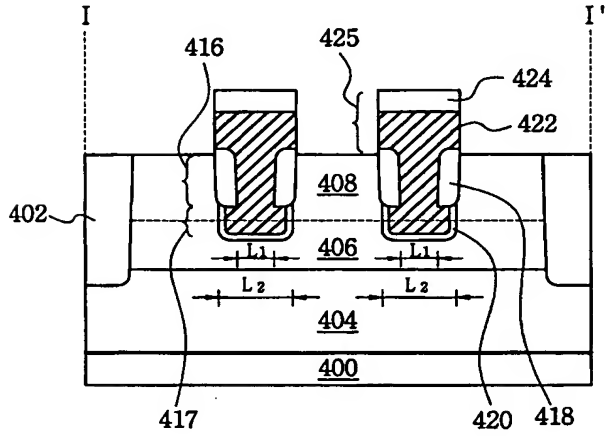
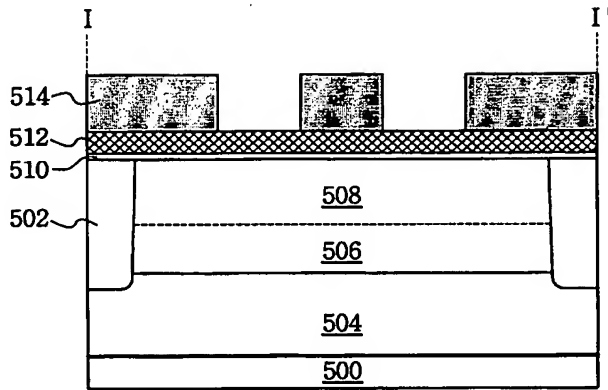


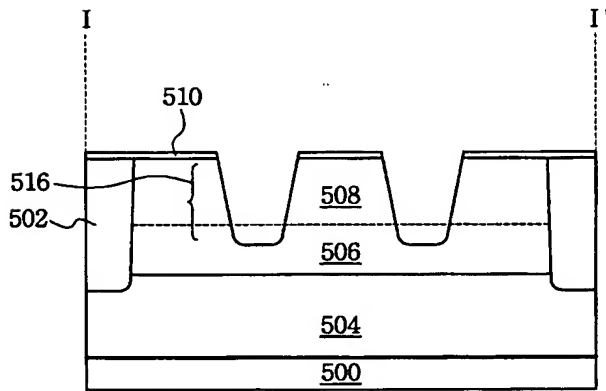
FIG. 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 400 with a base layer 402. A central region 404 contains two semiconductor elements 420, each with a top layer 422 and a bottom layer 424. The elements are separated by a gap 425. The device is surrounded by a protective layer 406. Dimensions L1 and L2 are indicated. Other labels include 408, 416, 417, 418, and 428.

A cross-sectional view of a semiconductor device along line I-I. The device consists of a substrate 500 with a layer 504 on top. Layer 504 has a central rectangular region 506 and two side regions 502. A top layer 508 covers the central region 506 and the side regions 502. The side regions 502 are narrower than the central region 506. Vertical dashed lines labeled 'I' at both ends indicate the plane of the cross-section.

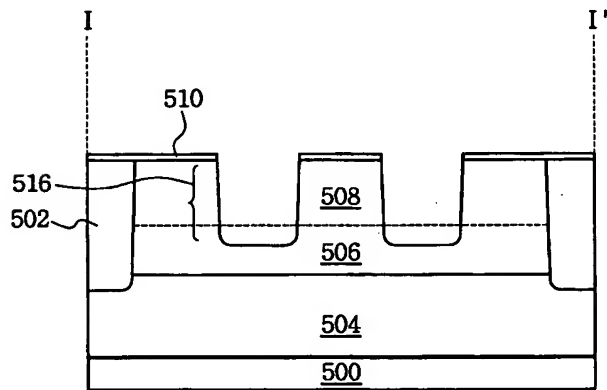
【도 26】



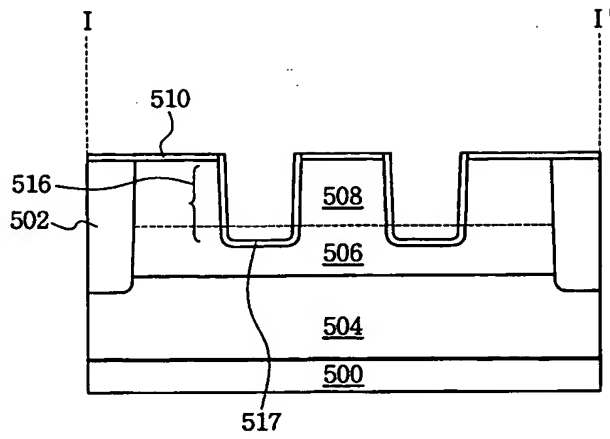
【도 27】



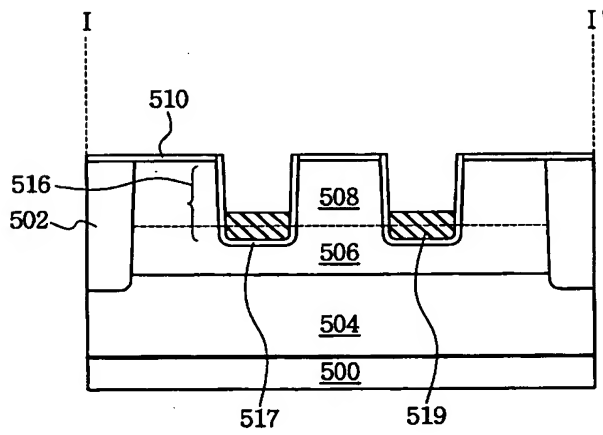
【도 28】



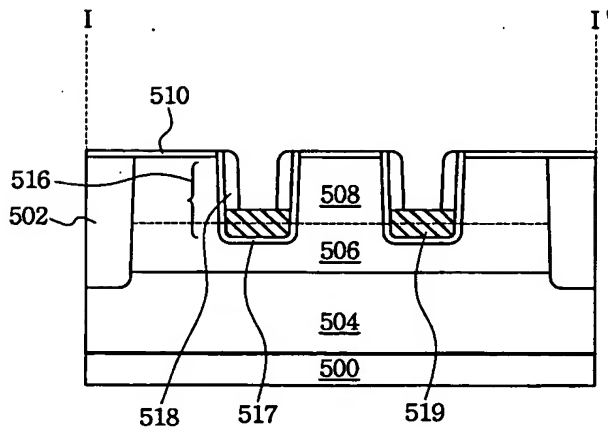
【도 29】



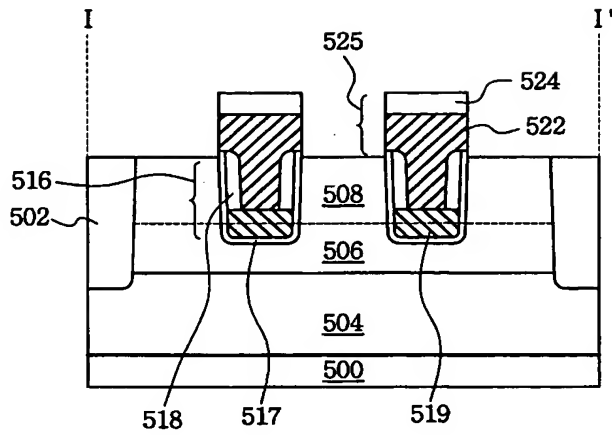
【도 30】



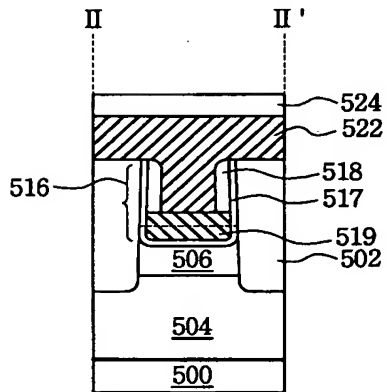
【도 31】



【도 32】



【도 33】



【도 34】

